



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:)
LO IACONO)
Serial No. 10/651,075)
Filing Date: August 28, 2003)
For: METHOD AND RELATIVE CIRCUIT)
FOR INCREMENTING, DECREMENTING)
OR TWO'S COMPLEMENTING A BIT)
STRING)


TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

MS MISSING PARTS
COMMISSIONER FOR PATENTS
P.O. BOX 1450
ALEXANDRIA, VA 22313-1450

Sir:

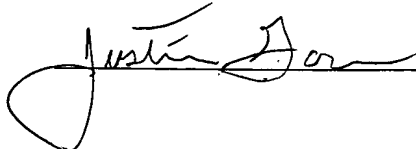
Transmitted herewith is a certified copy of the
priority European Application No. 02425538.2.

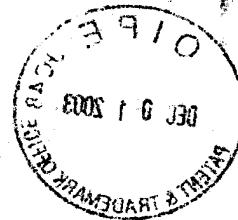
Respectfully submitted,


MICHAEL W. TAYLOR
Reg. No. 43,182
Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.
255 S. Orange Avenue, Suite 1401
Post Office Box 3791
Orlando, Florida 32802
Telephone: 407/841-2330
Fax: 407/841-2343
Attorney for Applicant

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being
deposited with the United States Postal Service as first class
mail in an envelope addressed to: MS MISSING PARTS,
COMMISSIONER FOR PATENTS, P.O. BOX 1450, ALEXANDRIA, VA 22313-
1450, on this 26th day of November, 2003.







**Eur päisches
Patentamt**

**Eur pean
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02425538.2

Der Präsident des Europäischen Patentamts:
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk



Anmeldung Nr:
Application no.: 02425538.2
Demande no:

Anmeldetag:
Date of filing: 30.08.02
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

Method and relative circuit for incrementing, decrementing or two complementing a
bit string

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

G06F7/00

Am Anmeldetag benannte Vertragsstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL PT SE SK TR

Italian Text Pursuant to Art. 14.2

METODO E RELATIVO CIRCUITO PER INCREMENTARE, DECREMENTARE O COMPLEMENTARE A DUE UNA STRINGA DI BIT

5 CAMPO DELL'INVENZIONE

La presente invenzione concerne dispositivi di complementazione usati in sistemi di elaborazione di informazioni digitali e più in particolare un metodo e un circuito per incrementare, decrementare o complementare a due una stringa di bit.

BACKGROUND DELL'INVENZIONE

- 10 Generalmente, un sistema digitale di elaborazione delle informazioni include un'unità logica ed aritmetica ALU (Arithmetic and Logic Unit) per eseguire le quattro operazioni aritmetiche.

In questa unità, un qualsiasi numero intero X è rappresentato sotto forma di stringa di bit utilizzando la cosiddetta codifica complemento a due. Indicando con X_k un
 15 generico bit di una stringa di N bit rappresentante il numero $X \in [-2^{N-1}, 2^{N-1} - 1]$, si ha:

$$X = \sum_{k=0}^{N-2} X_k \cdot 2^k - X_{N-1} \cdot 2^{N-1} \quad (1)$$

Questa codifica è molto conveniente perché permette di effettuare l'operazione di sottrazione come somma di numeri relativi utilizzando un comune circuito
 20 addizionatore.

Il complemento a due di una stringa di bit X può essere facilmente ottenuto mediante dei circuiti logici. Infatti, indicando con \bar{X} il complemento ad uno di X

$$\bar{X} = 2^N - 1 - X \quad (2)$$

che si ottiene negando ciascun bit della stringa X , la stringa $Y_{TC}(X)$ complemento

a due di X si ottiene semplicemente sommando un 1 al complemento ad uno di X :

$$Y_{TC}(X) = \bar{X} + 1 = 2^N - X \quad (3)$$

Un circuito di complemento a due è illustrato in Figura 1.

Il circuito di complemento a due, presente nell'ALU, può essere usato per eseguire le operazioni di incremento o di decremento. Il circuito di Figura 2 permette di incrementare di un'unità la stringa X perché la stringa $X+1$ altro non è che il complemento a due del complemento ad uno della stringa X :

$$X + 1 = \bar{\bar{X}} + 1 = (\bar{X}) + 1 = Y_{TC}(\bar{X}) \quad (4)$$

Similmente si dimostra che il circuito di Figura 3 decrementa di un'unità la stringa X , perché la stringa $X-1$ è il complemento ad uno del complemento a due della stringa X :

$$X - 1 = 2^N - 2^N + X - 1 = 2^N - 1 - (2^N - X) = 2^N - 1 - Y_{TC}(X) = \overline{Y_{TC}(X)} \quad (5)$$

Il fatto che queste operazioni di incremento e decremento possano essere eseguite utilizzando un circuito di complemento a due, ha portato alla realizzazione dei cosiddetti circuiti DIT (Decrement, Increment, Two's complement) quale quello mostrato in Figura 4. Esso è sostanzialmente costituito da un circuito logico di selezione SEL generante dei segnali logici INV_IN e INV_OUT, da uno schieramento di porte XOR d'ingresso riceventi i bit della stringa X e il segnale INV_IN e da uno schieramento di porte XOR di uscita riceventi i bit della stringa complemento a due e il segnale INV_OUT. Determinando lo stato logico dei comandi ID e TC secondo la seguente tabella

ID	TC	OPERAZIONE	INV_IN	INV_OUT
0	0	decremento	0	1
1	0	incremento	1	0
-	1	complemento a due	0	0

Tab. 1

il circuito di Figura 4 effettua un'operazione di decremento, incremento o complemento a due.

Data l'importanza del circuito DIT, la sua architettura è stata oggetto di studi al fine di trovare circuiti di complemento a due che implicino il minor numero possibile di operazioni elementari richieste e che occupino la minore area possibile di silicio. Negli articoli di R. Hashemian "Highly Parallel Increment/Decrement Using CMOS Technology", Proceedings of the 33rd Midwest Symposium on Circuits and Systems, Calgary, Alberta, Canada, August 12-14, 1990 e di R. Hashemian e C. Chen "A New Parallel Technique For Design of Decrement/Increment and Two's Complement Circuits", Proceedings of the 34th Midwest Symposium on Circuits and Systems, Monterey, California, May 14-17, 1991 sono descritte tecniche per realizzare circuiti di decremento, incremento e complemento a due che offrono certi vantaggi sia in termini di consumo di area di silicio che in termini di velocità di esecuzione.

Applicando l'eq. 3 si nota che il complemento a due del numero -2^{N-1} risulta essere il numero -2^{N-1} stesso. Questo fatto è dovuto all'asimmetria dell'intervallo $X \in [-2^{N-1}, 2^{N-1} - 1]$ per cui il complemento a due di -2^{N-1} eccede l'intervallo di rappresentazione.

In molte applicazioni si rappresenta il complemento a due di -2^{N-1} con l'intero positivo $2^{N-1}-1$

$$Y_{TC}(-2^{N-1}) = 2^{N-1} - 1 = \bar{X} \quad (6)$$

generando un flag di overflow OF segnalante che è stato ecceduto l'intervallo di rappresentazione.

Un noto complementatore a due con controllo di overflow è illustrato in Figura 5. Esso genera un flag di overflow OF quando la stringa da complementare rappresenta il numero -2^{N-1} , ed ha un circuito di correzione CLIP che riceve la stringa complementata a due Z e il flag di overflow OF, generando la corretta stringa di uscita Y.

Il circuito di controllo di overflow OVERFLOW CHECK riceve in ingresso la stringa X e una stringa REF rappresentante il numero -2^{N-1} , ed attiva il flag OF quando le due stringhe coincidono. Il circuito di correzione CLIP genera una stringa di uscita Y uguale a quella complementata a due Z quando il flag OF è
5 disattivo, mentre produce la stringa 011...1 rappresentante il numero $2^{N-1}-1$ quando il flag OF è attivo.

Il complementatore a due noto mostrato in Figura 5 non è però efficiente in quanto il circuito OVERFLOW CHECK è un comparatore ad N bit, il cui ingombro dipende quindi dal numero di bit della stringa X .

10 SCOPO E SOMMARIO DELL'INVENZIONE

È stato trovato ed è l'oggetto dell'invenzione un metodo ed un relativo circuito molto semplice da realizzare per incrementare, decrementare o complementare a due una stringa X di N bit.

Per eseguire queste operazioni, secondo il metodo dell'invenzione si genera una
15 stringa ausiliaria M di N bit in funzione della stringa X , e la si combina logicamente con la stringa X per generare una corrispondente stringa di uscita Y . Il bit meno significativo della stringa ausiliaria è indipendente dai bit della stringa X , ed un qualsiasi altro bit M_L di posto $L+1$ ($(L+1)$ -esimo bit meno significativo) della stringa ausiliaria è una combinazione logica del bit M_{L-1} di posto L (L -esimo
20 bit meno significativo) della stringa M e del bit X_L di posto L della stringa X o della sua replica negata.

Generare la stringa ausiliaria M per effettuare le operazioni di incremento, decremento e complemento a due, risulta particolarmente conveniente per produrre un flag di overflow quando il numero da produrre in uscita eccede
25 l'intervallo di rappresentazione. Infatti, con il metodo dell'invenzione si produce un flag di overflow OF semplicemente combinando logicamente i bit M_{N-1} e X_{N-1} più significativi delle stringhe M ed X . Questo è un grande vantaggio perché il flag di overflow viene generato da una sola porta logica ricevente in ingresso i bit M_{N-1} e X_{N-1} , indipendentemente dal numero di bit N della stringa X , mentre nei

circuiti di complemento a due di tipo noto esso viene generato mediante un comparatore ad N bit che occupa un'area di silicio non trascurabile e dipendente dalle dimensioni della stringa X .

Chiaramente, a seconda che si debba effettuare un'operazione di incremento,
5 decremento o complemento a due, le stringhe X ed M saranno combinate secondo operazioni logiche diverse per generare la stringa di uscita Y .

Il metodo dell'invenzione è implementato da un circuito per incrementare, decrementare o complementare a due una stringa costituita da un numero N bit, comprendente

- 10 – un circuito ausiliario generante una stringa ausiliaria di N bit, in funzione della prima stringa, il cui bit meno significativo è indipendente dalla prima stringa ed ogni altro bit, a partire dal secondo bit meno significativo fino al bit più significativo, è una combinazione logica di un corrispondente bit della prima stringa o di una sua replica negata, a partire dal bit meno significativo fino al
15 secondo bit più significativo, e dei bit della prima stringa o della sua replica negata meno significativi di detto corrispondente bit;
- mezzi circuitali logici generanti una stringa di uscita come combinazione logica di detta stringa ausiliaria e di detta prima stringa.

L'invenzione è più precisamente definita nelle annesse rivendicazioni.

20 BREVE DESCRIZIONE DEI DISEGNI

I diversi aspetti e vantaggi dell'invenzione risulteranno ancor più evidenti attraverso una descrizione dettagliata facendo riferimento ai disegni allegati, in cui:

- la **Figura 1** illustra un noto circuito di complemento a due di una stringa;
- 25 la **Figura 2** mostra un circuito di incremento di una stringa usando un circuito di complemento a due;
- la **Figura 3** mostra un circuito di decremento di una stringa usando un circuito di complemento a due;

- la **Figura 4** mostra un noto circuito multifunzione DIT senza controllo di overflow;
- la **Figura 5** mostra un noto circuito di complemento a due con controllo di overflow;
- 5 la **Figura 6a** mostra un circuito di complemento a due dell'invenzione avente un circuito ausiliario OR MASK;
- la **Figura 6b** mostra un circuito di complemento a due dell'invenzione avente un circuito ausiliario AND MASK;
- la **Figura 7a** è una vista di dettaglio del circuito ausiliario presente in Figura 6a;
- 10 la **Figura 7b** è una vista di dettaglio del circuito ausiliario presente in Figura 6b;
- la **Figura 8a** è una vista di dettaglio di una seconda forma di realizzazione del circuito ausiliario presente in Figura 6a;
- la **Figura 8b** è una vista di dettaglio di una terza forma di realizzazione del circuito ausiliario presente in Figura 6a;
- 15 la **Figura 9a** mostra un circuito di decremento dell'invenzione utilizzando il circuito di complemento a due della Figura 6a;
- le **Figure 9b e 9c** mostrano realizzazioni alternative del circuito di decremento dell'invenzione equivalenti a quella di Figura 9a;
- la **Figura 10a** mostra un circuito di incremento dell'invenzione utilizzando il
- 20 circuito di complemento a due della Figura 6a;
- le **Figure 10b e 10c** mostrano realizzazioni alternative del circuito di incremento dell'invenzione equivalenti a quella di Figura 10a;
- la **Figura 11a** mostra un circuito di incremento/decremento dell'invenzione utilizzando il circuito di Figura 6a;
- 25 le **Figure 11b, 11c e 11d** mostrano realizzazioni alternative del circuito di incremento/decremento dell'invenzione equivalenti a quella di Figura 11a;
- la **Figura 12a** mostra un circuito multifunzione DIT dell'invenzione utilizzando il circuito di Figura 6a;
- le **Figure 12b e 12c** mostrano realizzazioni alternative del circuito multifunzione
- 30 DIT dell'invenzione equivalenti a quella di Figura 12a;
- la **Figura 13** mostra un circuito di complemento a due dell'invenzione con controllo di overflow utilizzando il circuito di complemento a due di Figura 6a;

- la **Figura 14** è una vista di dettaglio del circuito di **Figura 13**;
- la **Figura 15** illustra un circuito multifunzione DIT dell'invenzione con controllo di overflow utilizzando il circuito di complemento a due di **Figura 6a**;
- la **Figura 16** mostra le caratteristiche di funzionamento di un circuito DIT
5 dell'invenzione;
- la **Figura 17** illustra un circuito di complemento a due o decremento dell'invenzione con controllo di overflow utilizzando il circuito di complemento a due di **Figura 6a** e avente un circuito di correzione CLIP a monte dello schieramento di porte logiche XOR di uscita;
- 10 la **Figura 18** illustra un altro circuito multifunzione DIT dell'invenzione con controllo di overflow utilizzando il circuito di **Figura 17**;
- la **Figura 19** mostra in dettaglio una realizzazione del circuito multifunzione DIT di **Figura 18**;
- la **Figura 20** mostra in dettaglio un'altra realizzazione del circuito multifunzione
15 DIT di **Figura 18**;

DESCRIZIONE DI UNA FORMA DI REALIZZAZIONE DELL'INVENZIONE

Due realizzazioni equivalenti di circuiti di complemento a due implementanti il metodo dell'invenzione sono rappresentate in **Figure 6a** e **6b**. Essi hanno rispettivamente un circuito ausiliario OR MASK e AND MASK ricevente in
20 ingresso gli $N-1$ bit meno significativi della stringa X e generante una corrispondente stringa ausiliaria M e \overline{M} di N bit.

È da notare che la stringa ausiliaria \overline{M} generata dal circuito AND MASK è una versione negata della stringa M generata dal circuito OR MASK, come si può chiaramente dedurre considerando che i due circuiti di **Figure 6a** e **6b** sono
25 equivalenti.

Conformemente al metodo dell'invenzione, detto X_{L-1} il bit della stringa X meno significativo con valore unitario, i bit meno significativi della stringa ausiliaria dal secondo M_1 allo L -esimo M_L prodotti dal circuito di **Figura 6a** (o **6b**) coincidono con gli L bit meno significativi della stringa X (o con le loro repliche negatte),

mentre i rimanenti bit sono tutti uguali ad 1 (o a 0), mentre il bit meno significativo della stringa ausiliaria M è indipendente dalla stringa X ed è 0 (o 1).

Il circuito di Figura 6a effettivamente esegue il complemento a due della stringa X . Da semplici calcoli risulta che il complemento a due (eq. 3) della stringa X è la
5 XOR logica tra la stringa X e la stringa M

$$Y_{TC}(X) = X \oplus M \quad (7)$$

Un circuito ausiliario OR MASK semplice da realizzare è mostrato in Figura 7a. Esso è sostanzialmente composto da uno schieramento di porte OR in cascata, ciascuna ricevente in ingresso un bit della stringa X e l'uscita della porta OR che
10 precede nella cascata.

Un circuito ausiliario AND MASK per il circuito di complemento a due di Figura 6b è mostrato in Figura 7b. La sua struttura è sostanzialmente simile a quella del circuito di Figura 7a con la differenza che esso ha porte AND invece di porte OR e genera una stringa ausiliaria \overline{M} che è la replica negata della stringa ausiliaria M
15 generata dal circuito di Figura 7a.

Come apparirà evidente al tecnico esperto, è possibile realizzare i circuiti delle Figure 7a e 7a anche utilizzando porte NOR e NAND invece delle porte OR o AND.

Il circuito ausiliario OR MASK (AND MASK) altro non è che un circuito che
20 genera una stringa M avente gli L bit meno significativi uguali a 0 (1) e tutti gli altri bit uguali ad 1 (0), essendo X_{L-1} il bit meno significativo uguale ad 1 della stringa X . È quindi chiaro che il circuito ausiliario di Figura 7a (7b) può essere sostituito da un qualsiasi altro circuito che effettui la stessa operazione. Ad esempio, è possibile sostituire il circuito di Figura 7a, avente porte OR in serie,
25 con i circuiti ausiliari OR MASK di Figure 8a e 8b, che hanno porte OR disposte rispettivamente in una struttura parallela e mista serie-parallela.

Strutture alternative, simili a quelle delle Figure 8a e 8b, possono essere

banalmente realizzate anche per il circuito ausiliario AND MASK di Figura 7b.

Al solo fine di illustrare più semplicemente l'invenzione, nel seguito si considererà l'implementazione di Figura 6a con il circuito ausiliario OR MASK di Figura 7a, ma ciò che verrà detto potrà essere facilmente ripetuto *mutatis*
5 *mutandis* anche per l'implementazione di Figura 6b e per tutte le altre forme di realizzazione del circuito ausiliario.

Il circuito di complemento a due dell'invenzione può essere utilizzato per realizzare un circuito di decremento, mostrato in Figura 9a, un circuito di incremento, mostrato in Figura 10a, un circuito di incremento/decremento,
10 mostrato in Figura 11a, o infine un circuito multifunzione DIT, mostrato in Figura 12a. Realizzazioni alternative di circuiti di decremento, di incremento, di incremento/decremento e multifunzione DIT equivalenti a quelli delle Figure 9a, 10a, 11a e 12a sono mostrate rispettivamente nelle Figure 9b e 9c, nelle Figure 10b e 10c, nelle Figure da 11b a 11d e nelle Figure 12b e 12c.

15 La tabella di verità dei segnali ID, TC, INV_IN e INV_OUT è la Tabella 1 e il circuito logico di selezione SEL delle Figure da 12a a 12c è lo stesso di quello di Figura 4.

Il metodo dell'invenzione permette di generare il flag di overflow semplicemente come combinazione logica solo dei bit più significativi M_{N-1} e X_{N-1} rispettivamente
20 della stringa ausiliaria M e della stringa X , indipendentemente dal numero N di bit della stringa da complementare. Un circuito di complemento a due dell'invenzione con controllo di overflow è mostrato in Figura 13. Il circuito OVERFLOW CHECK può generare il flag di overflow OF usando solo i bit più significativi X_{N-1} e M_{N-1} , rispettivamente della stringa da complementare e della
25 stringa ausiliaria M , perché quando la stringa X rappresenta il numero -2^{N-1} , e solo in quel caso, il bit X_{N-1} è uguale ad 1 ed il bit M_{N-1} è 0.

Il grande vantaggio rispetto al circuito di complemento a due noto di Figura 5 consiste nel fatto che il flag di overflow OF è generato indipendentemente dal numero N di bit della stringa X , ed il circuito OVERFLOW CHECK occupa

sicuramente un'area di silicio minore rispetto ad un comparatore ad N bit.

Uno schema dettagliato di una realizzazione di un circuito di complemento a due dell'invenzione che effettua la correzione prevista dall'eq. 6 è illustrato in Figura 14. Dato che il bit meno significativo della stringa ausiliaria M_0 è sempre nullo, la
5 porta XOR che dovrebbe ricevere in ingresso i bit X_0 e M_0 è stata omessa perché inutile.

Inoltre la porta del circuito di complemento a due ricevente in ingresso i bit più significativi M_{N-1} e X_{N-1} e generante il bit Z_{N-1} è una porta OR e non una porta XOR, per effettuare la correzione dell'uscita quando la stringa X da
10 complementare rappresenta il numero -2^{N-1} . Infatti, indipendentemente dallo stato del flag OF, il bit più significativo Y_{N-1} della stringa di uscita può essere ottenuto invertendo il bit Z_{N-1} , come risulta evidente dalla seguente tabella

X	M_{N-1}	X_{N-1}	Y_{N-1}	Z_{N-1}
0...0	0	0	0	1
-2^{N-1}	0	1	0	1
qualsiasi altro valore	1	-	$\overline{X_{N-1}}$	X_{N-1}

Tab. 2

Il circuito di complemento a due con controllo di overflow della Figura 13 può
15 essere utilizzato per realizzare un circuito multifunzione DIT dell'invenzione di decremento, incremento e complemento a due, come mostrato in Figura 15, i cui blocchi circuitali sono gli stessi descritti con riferimento alle Figure 4 e 13.

È facile verificare che le caratteristiche che descrivono il funzionamento del circuito DIT di Figura 15 sono quelle mostrate in Figura 16.

20 La Figura 17 mostra uno schema generale di una forma di realizzazione preferita di un circuito di complemento a due o decremento dell'invenzione. Come si può notare, diversamente dal circuito multifunzione DIT della Figura 15, il circuito di correzione CLIP è a monte dello schieramento di porte logiche XOR di uscita e non riceve in ingresso una stringa di bit ma solo due segnali, INV_OUT e OF,
25 qualunque sia il numero N di bit della stringa K .

- Lo schieramento di porte XOR di uscita del circuito di complemento a due o decremento dell'invenzione svolge quindi una funzione anche quando non è richiesta un'operazione di decremento: questo espediente permette di semplificare la struttura del circuito di correzione CLIP con un conseguente ulteriore risparmio di area di silicio. Il circuito di correzione CLIP riceve in ingresso soltanto il flag di overflow OF e il segnale INV_OUT, e genera il segnale di correzione INVCLIP ed una replica negata del segnale INV_OUT, che permettono di sfruttare lo schieramento di porte XOR di uscita per effettuare la correzione dell'eq. 6 della stringa complementata Z.
- Il circuito di complemento a due o decremento dell'invenzione può essere incorporato in circuiti multifunzione DIT di incremento, decremento o complemento a due, come mostrato in Figura 18. La tabella di verità dei segnali INV_IN e INV_OUT è la Tabella 1 scritta con riferimento al circuito multifunzione DIT della Figura 4.
- Uno schema dettagliato di una realizzazione del circuito multifunzione DIT di Figura 18 è riportato in Figura 19. In questa realizzazione, che è ancora più conveniente rispetto a quella di Figura 15, il flag di overflow OF è generato come AND logica tra il bit più significativo della stringa da complementare a due K_{N-1} ed una replica negata del bit più significativo della stringa ausiliaria M_{N-1} , e il segnale di correzione INVCLIP è la XOR del flag di overflow OF e del segnale INV_OUT.
- Il circuito di Figura 19 svolge esattamente le stesse funzioni di quello di Figura 15. Se si verifica un overflow (OF=1), allora vuol dire che la stringa K da complementare a due rappresenta il numero -2^{N-1} , e quindi il bit più significativo Z_{N-1} della stringa complementata è 1 mentre tutti gli altri bit sono 0. Nel caso in cui non sia stata richiesta un'operazione di decremento (INV_OUT=0), il segnale di correzione INVCLIP è uguale ad 1 per cui gli $N-1$ bit meno significativi della stringa di uscita Y sono uguali ad 1 mentre il bit più significativo Y_{N-1} è 0. Nel caso in cui invece è stata richiesta un'operazione di decremento (INV_OUT=1), il segnale di correzione INVCLIP è 0 e la stringa di uscita Y è uguale alla stringa

complementata Z .

È immediato verificare che, in tutti gli altri casi possibili, le caratteristiche di funzionamento del circuito DIT di Figura 19 sono quelle riportate in Figura 16.

Una forma di realizzazione alternativa a quella di Figura 19 è illustrata in Figura
5 20. Il suo funzionamento è immediatamente comprensibile e non viene descritto in dettaglio.

RIVENDICAZIONI

1. Metodo per incrementare, decrementare o complementare a due una stringa (K) costituita da un numero N bit, comprendente

5 generare una stringa ausiliaria ($M; \overline{M}$) di N bit, in funzione di detta stringa (K), il cui bit meno significativo è indipendente da detta stringa (K) ed ogni altro bit ($M_I; \overline{M}_I$), a partire dal secondo bit meno significativo ($M_1; \overline{M}_1$) fino al bit più significativo ($M_{N-1}; \overline{M}_{N-1}$), è una combinazione logica di un corrispondente bit ($K_{I-1}; \overline{K}_{I-1}$) di detta
10 prima stringa (K) o di una sua replica negata (\overline{K}), a partire dal bit meno significativo ($K_0; \overline{K}_0$) fino al secondo bit più significativo ($K_{N-2}; \overline{K}_{N-2}$), e dei bit di detta prima stringa (K) o della sua replica negata (\overline{K}) meno significativi di detto corrispondente bit ($K_0, \dots, K_{I-2}; \overline{K}_0, \dots, \overline{K}_{I-2}$);

15 generare una stringa di uscita (Y) come combinazione logica di detta stringa ausiliaria ($M; \overline{M}$) e di detta prima stringa (K).

2. Il metodo della rivendicazione 1, in cui
il bit meno significativo di detta stringa ausiliaria (M) è sempre nullo ed ogni altro bit (M_I), a partire dal secondo bit meno significativo (M_1) fino al bit più significativo (M_{N-1}), è la OR logica di un corrispondente
20 bit di detta prima stringa (K_{I-1}) o di una sua replica negata (\overline{K}_{I-1}) e di detti bit meno significativi di detto corrispondente bit ($K_0, \dots, K_{I-2}; \overline{K}_0, \dots, \overline{K}_{I-2}$).

3. Il metodo della rivendicazione 1, in cui
il bit meno significativo di detta stringa ausiliaria (\overline{M}) è sempre uguale ad
25 uno ed ogni altro bit (\overline{M}_I), a partire dal secondo bit meno significativo (\overline{M}_1) fino al bit più significativo (\overline{M}_{N-1}), è la AND logica di un

corrispondente bit di detta prima stringa (K_{I-1}) o di una sua replica negata ($\overline{K_{I-1}}$) e di detti bit meno significativi di detto corrispondente bit ($K_0, \dots, K_{I-2}; \overline{K_0}, \dots, \overline{K_{I-2}}$).

4. Il metodo della rivendicazione 1, comprendente inoltre generare un flag
5 di overflow (OF) come combinazione logica tra i bit più significativi di detta stringa ausiliaria ($M_{N-1}; \overline{M_{N-1}}$) e di detta prima stringa (K_{N-1}).

5. Il metodo della rivendicazione 2 per complementare a due detta prima stringa (K), in cui

10 detto altro bit della stringa ausiliaria (M_I), è ottenuto come OR del bit immediatamente meno significativo (M_{I-1}) di detta stringa ausiliaria (M) e di un corrispondente bit di detta prima stringa (K_{I-1});
detta stringa di uscita (Y) è ottenuta come XOR di detta stringa (K) da complementare e di detta stringa ausiliaria (M).

6. Il metodo della rivendicazione 3 per complementare a due detta prima
15 stringa (K), in cui

detto altro bit della stringa ausiliaria ($\overline{M_I}$), è ottenuto come AND del bit immediatamente meno significativo ($\overline{M_{I-1}}$) di detta stringa ausiliaria (\overline{M}) e di una replica negata di un corrispondente bit di detta prima stringa (K_{I-1});
20 detta stringa di uscita (Y) è ottenuta come XOR negata di detta stringa (K) da complementare e di detta stringa ausiliaria (\overline{M}).

7. Il metodo della rivendicazione 2 per decrementare detta prima stringa (K), in cui

25 detto altro bit della stringa ausiliaria (M_I) è ottenuto come OR del bit immediatamente meno significativo (M_{I-1}) di detta stringa ausiliaria (M) e di un corrispondente bit di detta prima stringa (K_{I-1});
detta stringa di uscita (Y) è ottenuta come XOR negata di detta stringa (K) da complementare e di detta stringa ausiliaria (M).

8. Il metodo della rivendicazione 3 per decrementare detta prima stringa (K), in cui

detto altro bit della stringa ausiliaria (\overline{M}_I), è ottenuto come AND del bit immediatamente meno significativo (\overline{M}_{I-1}) di detta stringa ausiliaria (\overline{M}) e di una replica negata di un corrispondente bit di detta prima stringa (K_{I-1});

detta stringa di uscita (Y) è ottenuta come XOR di detta stringa (K) da complementare e di detta stringa ausiliaria (\overline{M}).

9. Il metodo della rivendicazione 2 per incrementare detta prima stringa (K), in cui

detto altro bit della stringa ausiliaria (M_I) è ottenuto come OR del bit immediatamente meno significativo (M_{I-1}) di detta stringa ausiliaria (M) e della replica negata (\overline{K}_{I-1}) di un corrispondente bit di detta prima stringa (K_{I-1});

detta stringa di uscita (Y) è ottenuta come XOR di detta stringa ausiliaria (M) e di una replica negata di detta stringa (K) da complementare.

10. Il metodo della rivendicazione 3 per incrementare detta prima stringa (K), in cui

detto altro bit della stringa ausiliaria (\overline{M}_I), è ottenuto come AND del bit immediatamente meno significativo (\overline{M}_{I-1}) di detta stringa ausiliaria (\overline{M}) e di un corrispondente bit di detta prima stringa (K_{I-1});

detta stringa di uscita (Y) è ottenuta come XOR negata di detta stringa (K) da complementare e di detta stringa ausiliaria (\overline{M}).

11. Il metodo della rivendicazione 2 e 4 per complementare a due o decrementare detta prima stringa (K), in cui detto flag di overflow (OF) è generato come AND tra il bit più significativo di detta prima stringa (K_{N-1}) ed una replica negata del bit più significativo di detta stringa ausiliaria (M_{N-1}).

12. Il metodo della rivendicazione 3 e 4 per complementare a due o decrementare detta prima stringa (K), in cui detto flag di overflow (OF) è generato come AND tra il bit più significativo di detta prima stringa (K_{N-1}) ed il bit più significativo di detta stringa ausiliaria ($\overline{M_{N-1}}$).

5 13. Il metodo della rivendicazione 2 e 4 per incrementare detta prima stringa (K), in cui detto flag di overflow (OF) è generato come AND tra le repliche negate dei bit più significativi di detta prima stringa (K_{N-1}) e di detta stringa ausiliaria (M_{N-1}).

10 14. Il metodo della rivendicazione 3 e 4 per incrementare detta prima stringa (K), in cui detto flag di overflow (OF) è generato come AND tra la replica negata del bit più significativo di detta prima stringa (K_{N-1}) e il bit più significativo di detta stringa ausiliaria ($\overline{M_{N-1}}$).

15 15. Il metodo della rivendicazione 11 per complementare a due detta prima stringa (K) con correzione dell'uscita in caso di overflow, in cui
detto altro bit della stringa ausiliaria (M_I) è ottenuto come OR del bit immediatamente meno significativo (M_{I-1}) di detta stringa ausiliaria (M) e di un corrispondente bit di detta stringa (K_{I-1});
il bit più significativo di detta stringa di uscita (Y) è ottenuto come NOR del bit più significativo di detta prima stringa (K_{N-1}) e la replica negata del
20 bit più significativo di detta stringa ausiliaria (M_{N-1}),
ciascun altro bit di detta stringa di uscita (Y) è ottenuto come OR tra il flag di overflow (OF) e la XOR tra corrispondenti bit di detta prima stringa (K) e detta stringa ausiliaria (M).

25 16. Il metodo della rivendicazione 11 per complementare a due detta prima stringa (K) con correzione dell'uscita in caso di overflow, in cui
detto altro bit della stringa ausiliaria (M_I) è ottenuto come OR del bit immediatamente meno significativo (M_{I-1}) di detta stringa ausiliaria (M) e di un corrispondente bit di detta stringa (K_{I-1});
il bit più significativo di detta stringa di uscita (Y) è ottenuto come NOR del

bit più significativo di detta prima stringa (K_{N-1}) e la replica negata del bit più significativo di detta stringa ausiliaria (M_{N-1}),
ciascun altro bit di detta stringa di uscita (Y) è ottenuto come XOR tra il flag di overflow (OF) e la XOR tra corrispondenti bit di detta prima stringa (K) e detta stringa ausiliaria (M).

17. Il metodo della rivendicazione 11 per decrementare detta prima stringa (K) con correzione dell'uscita in caso di overflow, in cui
detto altro bit della stringa ausiliaria (M_I) è ottenuto come OR del bit immediatamente meno significativo (M_{I-1}) di detta stringa ausiliaria (M) e di un corrispondente bit di detta stringa (K_{I-1});
il bit più significativo di detta stringa di uscita (Y) è ottenuto come OR del bit più significativo di detta prima stringa (K_{N-1}) e la replica negata del bit più significativo di detta stringa ausiliaria (M_{N-1}),
ciascun altro bit di detta stringa di uscita (Y) è ottenuto come XOR tra una replica negata del flag di overflow (OF) e la XOR tra corrispondenti bit di detta prima stringa (K) e detta stringa ausiliaria (M).

18. Il metodo della rivendicazione 13 per incrementare detta prima stringa (K) con correzione dell'uscita in caso di overflow, in cui
detto altro bit della stringa ausiliaria (M_I) è ottenuto come OR del bit immediatamente meno significativo (M_{I-1}) di detta stringa ausiliaria (M) e della replica negata ($\overline{K_{I-1}}$) di un corrispondente bit di detta stringa (K_{I-1});
il bit più significativo di detta stringa di uscita (Y) è ottenuto come NOR del bit più significativo di detta prima stringa (K_{N-1}) e la replica negata del bit più significativo di detta stringa ausiliaria (M_{N-1}),
ciascun altro bit di detta stringa di uscita (Y) è ottenuto come OR tra il flag di overflow (OF) e la XOR tra corrispondenti bit di detta prima stringa (K) e detta stringa ausiliaria (M).

19. Circuito per incrementare, decrementare o complementare a due una stringa (K) costituita da un numero N bit, comprendente

un circuito ausiliario (OR MASK; AND MASK) generante una stringa ausiliaria ($M; \overline{M}$) di N bit, in funzione di detta stringa (K), il cui bit meno significativo è indipendente da detta stringa (K) ed ogni altro bit ($M_i; \overline{M}_i$), a partire dal secondo bit meno significativo ($M_1; \overline{M}_1$) fino al bit più significativo ($M_{N-1}; \overline{M}_{N-1}$), è una combinazione logica di un corrispondente bit ($K_{I-1}; \overline{K}_{I-1}$) di detta prima stringa (K) o di una sua replica negata (\overline{K}), a partire dal bit meno significativo ($K_0; \overline{K}_0$) fino al secondo bit più significativo ($K_{N-2}; \overline{K}_{N-2}$), e dei bit di detta prima stringa (K) o della sua replica negata (\overline{K}) meno significativi di detto corrispondente bit ($K_0, \dots, K_{I-2}; \overline{K}_0, \dots, \overline{K}_{I-2}$);

mezzi circuitali logici generanti una stringa di uscita (Y) come combinazione logica di detta stringa ausiliaria ($M; \overline{M}$) e di detta prima stringa (K).

20. Il circuito della rivendicazione 19, in cui detto circuito ausiliario (OR MASK) genera il bit meno significativo di detta stringa ausiliaria (M) sempre uguale a zero, il secondo bit meno significativo di detta stringa ausiliaria (M) come replica del bit meno significativo della prima stringa (K_0) o come replica negata di esso (\overline{K}_0), ed inoltre comprende

$N-2$ porte OR ciascuna generante un rispettivo bit di detta stringa ausiliaria (M), a partire dal terzo bit meno significativo (M_2) fino al bit più significativo (M_{N-1}), come OR logica tra un corrispondente bit ($K_{I-1}; \overline{K}_{I-1}$) di detta prima stringa (K) o di una sua replica negata (\overline{K}), a partire dal bit meno significativo ($K_0; \overline{K}_0$) fino al secondo bit più significativo ($K_{N-2}; \overline{K}_{N-2}$), e i bit di detta prima stringa (K) o della sua replica negata (\overline{K}) meno significativi di detto corrispondente bit ($K_0, \dots, K_{I-2}; \overline{K}_0, \dots, \overline{K}_{I-2}$).

21. Il circuito della rivendicazione 19, in cui detto circuito ausiliario (OR

MASK) genera il bit meno significativo di detta stringa ausiliaria (M) sempre uguale a zero, il secondo bit meno significativo di detta stringa ausiliaria (M) come replica del bit meno significativo della prima stringa (K_0) o come replica negata di esso ($\overline{K_0}$), ed inoltre comprende

5 $N-2$ porte OR ciascuna generante un rispettivo bit di detta stringa ausiliaria (M), a partire dal terzo bit meno significativo (M_2) fino al bit più significativo (M_{N-1}), disposte secondo una cascata di coppie di porte logiche, le porte di una prima coppia generanti il terzo e il quarto bit meno significativo di detta stringa ausiliaria (M_2, M_3) rispettivamente
10 come OR dei due (K_0, K_1) e dei tre bit meno significativi (K_0, K_1, K_2) di detta prima stringa (K) o della sua replica negata (\overline{K}), ciascun'altra coppia di porte OR ricevendo in ingresso una rispettiva coppia di bit consecutivi primo (K_{I-2}) e secondo (K_{I-1}) di detta prima stringa (K) o della sua replica negata (\overline{K}) e il bit più significativo di detta stringa
15 ausiliaria prodotto dalla coppia di porte che precede nella cascata (M_{I-2}), e generando due bit consecutivi di detta stringa ausiliaria (M_{I-1}, M_I) come OR tra detto bit più significativo prodotto dalla coppia di porte che precede nella cascata (M_{I-2}) e rispettivamente detto primo bit (K_{I-2}) ed entrambi detti bit primo (K_{I-2}) e secondo (K_{I-1}) di detta rispettiva
20 coppia di bit.

22. Il circuito della rivendicazione 19, in cui detto circuito ausiliario (OR MASK) genera il bit meno significativo di detta stringa ausiliaria (M) sempre uguale a zero, il secondo bit meno significativo di detta stringa ausiliaria (M) come replica del bit meno significativo della prima stringa (K_0) o come replica
25 negata di esso ($\overline{K_0}$), ed inoltre comprende

una cascata di $N-2$ porte OR riceventi in ingresso un rispettivo bit di detta prima stringa (K) o della sua replica negata ordinatamente a partire dal secondo bit meno significativo (K_1) fino al secondo bit più significativo (K_{N-2}), ciascuna porta generante un rispettivo bit di detta stringa
30 ausiliaria (M), a partire dal terzo bit meno significativo (M_2) fino al bit

più significativo (M_{N-1}), come OR logica del rispettivo bit di detta prima stringa (K) o della sua replica negata e del bit della stringa ausiliaria (M) generato dalla porta OR che precede nella cascata.

23. Il circuito della rivendicazione 19, in cui detto circuito ausiliario (AND MASK) genera il bit meno significativo di detta stringa ausiliaria (\overline{M}) sempre uguale ad uno, il secondo bit meno significativo di detta stringa ausiliaria (\overline{M}) come replica del bit meno significativo della prima stringa (K_0) o come replica negata di esso ($\overline{K_0}$), ed inoltre comprende
- una cascata di $N-2$ porte AND ricevanti in ingresso un rispettivo bit di detta prima stringa (K) o della sua replica negata ordinatamente a partire dal secondo bit meno significativo (K_1) fino al secondo bit più significativo (K_{N-2}), ciascuna porta generante un rispettivo bit di detta stringa ausiliaria (\overline{M}), a partire dal terzo bit meno significativo ($\overline{M_2}$) fino al bit più significativo ($\overline{M_{N-1}}$), come AND logica del rispettivo bit di detta prima stringa (K) o della sua replica negata e del bit della stringa ausiliaria (\overline{M}) generato dalla porta AND che precede nella cascata.

24. Il circuito della rivendicazione 19, comprendente un circuito di controllo di overflow (OVERFLOW CHECK) generante un flag di overflow (OF) come combinazione logica tra i bit più significativi di detta stringa ausiliaria (M_{N-1} ; $\overline{M_{N-1}}$) e di detta prima stringa (K_{N-1}).

25. Il circuito della rivendicazione 22 per complementare a due detta prima stringa (K), in cui
- ciascuno di detti bit della stringa ausiliaria (M_I) a partire dal terzo bit meno significativo (M_2) sono ottenuti come OR del bit immediatamente meno significativo (M_{I-1}) di detta stringa ausiliaria (M) e di un corrispondente bit di detta stringa (K_{I-1});
- detti mezzi circuitali logici comprendono uno schieramento di porte XOR, generanti bit di detta stringa di uscita (Y) come XOR di rispettivi bit di

detta stringa da complementare (K) e di detta stringa ausiliaria (M).

26. Il circuito della rivendicazione 22 per decrementare detta prima stringa (K), in cui

5 ciascuno di detti bit della stringa ausiliaria (M_I) a partire dal terzo bit meno significativo (M_2) sono ottenuti come OR del bit immediatamente meno significativo (M_{I-1}) di detta stringa ausiliaria (M) e di un corrispondente bit di detta stringa (K_{I-1});

10 detti mezzi circuitali logici comprendono uno schieramento di porte XOR, generanti bit di una stringa complemento a due (Z) come XOR di rispettivi bit di detta stringa da complementare (K) e di detta stringa ausiliaria (M), ed uno schieramento di porte NOT ciascuna ricevente un bit della stringa complemento a due e generante un corrispondente bit di detta stringa di uscita (Y).

15 27. Il circuito della rivendicazione 22 per incrementare detta prima stringa (K), in cui

ciascuno di detti bit della stringa ausiliaria (M_I) a partire dal terzo bit meno significativo (M_2) sono ottenuti come OR del bit immediatamente meno significativo (M_{I-1}) di detta stringa ausiliaria (M) e della replica negata ($\overline{K_{I-1}}$) di un corrispondente bit di detta stringa (K_{I-1});

20 detti mezzi circuitali logici comprendono uno schieramento di porte XOR, generanti bit di detta stringa di uscita (Y) come XOR di rispettivi bit di detta stringa da complementare (K) e di detta stringa ausiliaria (M).

25 28. Il circuito delle rivendicazioni 20 e 24 per complementare a due o decrementare detta prima stringa (K), in cui detto circuito di controllo di overflow (OVERFLOW CHECK) è una porta logica AND generante detto flag di overflow (OF), ricevente in ingresso il bit più significativo di detta prima stringa (K_{N-1}) ed una replica negata del bit più significativo di detta stringa ausiliaria (M_{N-1}).

29. Il circuito delle rivendicazioni 23 e 24 per complementare a due o decrementare detta prima stringa (K), in cui detto circuito di controllo di overflow

(OVERFLOW CHECK) è una porta logica AND generante detto flag di overflow (OF), ricevente in ingresso i bit più significativi di detta prima stringa (K_{N-1}) e di detta stringa ausiliaria ($\overline{M_{N-1}}$).

30. Il circuito delle rivendicazioni 20 e 24 per incrementare detta stringa (K), in cui detto circuito di controllo di overflow (OVERFLOW CHECK) è una porta logica AND generante detto flag di overflow (OF), ricevente in ingresso le repliche negate dei bit più significativi di detta prima stringa (K_{N-1}) e di detta stringa ausiliaria (M_{N-1}).

31. Il circuito delle rivendicazioni 23 e 24 per incrementare detta stringa (K), in cui detto circuito di controllo di overflow (OVERFLOW CHECK) è una porta logica AND generante detto flag di overflow (OF), ricevente in ingresso una replica negata del bit più significativo di detta prima stringa (K_{N-1}) ed il bit più significativo di detta stringa ausiliaria ($\overline{M_{N-1}}$).

32. Il circuito della rivendicazione 22 per incrementare o decrementare una stringa d'ingresso (X) costituita da un numero N bit, comprendente
un terminale d'ingresso su cui ricevere un segnale di comando (ID) dell'operazione da effettuare,
uno schieramento di N porte XOR ciascuna ricevente in ingresso un rispettivo bit di detta stringa d'ingresso (X) e detto segnale di comando (ID) generante un corrispondente bit di detta prima stringa (K),
ciascuno di detti bit della stringa ausiliaria (M_I) a partire dal terzo bit meno significativo (M_2) sono ottenuti come OR del bit immediatamente meno significativo (M_{I-1}) di detta stringa ausiliaria (M) e di un corrispondente bit di detta stringa (K_{I-1});
detti mezzi circuitali logici comprendendo uno schieramento di porte logiche generanti bit di detta stringa di uscita (Y) come XOR una replica negata di detto comando di selezione (ID) e la XOR di rispettivi bit di detta stringa d'ingresso (X) e di detta stringa ausiliaria (M).

33. Il circuito della rivendicazione 22, comprendente

un circuito logico di selezione (SEL) ricevente in ingresso segnali di comando (ID, TC) identificanti l'operazione da effettuare e generante una coppia di segnali di selezione primo (INV_OUT) e secondo (INV_IN) il cui stato logico dipende dall'operazione da effettuare,

5 uno schieramento di N di porte XOR d'ingresso ciascuna ricevente un rispettivo bit di detta stringa d'ingresso (X) e detto secondo segnale di selezione (INV_IN), generante detta prima stringa di bit (K),

ciascuno di detti bit della stringa ausiliaria (M_I) a partire dal terzo bit meno significativo (M_2) sono ottenuti come OR del bit immediatamente meno

10 significativo (M_{I-1}) di detta stringa ausiliaria (M) e di un corrispondente bit di detta stringa (K_{I-1});

detti mezzi circuitali logici comprendendo uno schieramento di porte logiche generanti bit di detta stringa di uscita (Y) come XOR di detto primo segnale di selezione (INV_OUT) e la XOR di rispettivi bit di

15 detta stringa d'ingresso (X) e di detta stringa ausiliaria (M).

34. Il circuito della rivendicazione 28 per complementare a due con correzione dell'uscita in caso di overflow, in cui

ciascuno di detti bit della stringa ausiliaria (M_I) a partire dal terzo bit meno significativo (M_2) sono ottenuti come OR del bit immediatamente meno

20 significativo (M_{I-1}) di detta stringa ausiliaria (M) e di un corrispondente bit di detta stringa (K_{I-1});

detti mezzi circuitali logici comprendono

una porta OR ricevente in ingresso il bit più significativo di detta prima stringa (K_{N-1}) e la replica negata del bit più significativo di detta stringa

25 ausiliaria (M_{N-1}), generante il bit più significativo di una stringa complemento a due da correggere (Z_{N-1}),

uno schieramento di porte XOR generanti gli altri bit di detta stringa complemento a due da correggere (Z) come XOR di corrispondenti bit di detta prima stringa (K) e di detta stringa ausiliaria (M);

30 un circuito di correzione (CLIP) avente

una porta NOT generante il bit più significativo di detta stringa di

uscita (Y_{N-1}) come replica negata del bit più significativo di detta stringa complemento a due da correggere (Z_{N-1}),
uno schieramento di $N-1$ porte OR generanti rispettivi altri bit di detta stringa di uscita (Y), ciascuna porta ricevente in ingresso detto flag di overflow (OF) ed un'uscita di una rispettiva porta XOR di detto schieramento.

35. Il circuito della rivendicazione 28 per complementare a due o decrementare con correzione dell'uscita in caso di overflow, avente un terminale d'ingresso su cui ricevere un segnale di selezione (INV_OUT) dell'operazione da eseguire, ed in cui

ciascuno di detti bit della stringa ausiliaria (M_I) a partire dal terzo bit meno significativo (M_2) sono ottenuti come OR del bit immediatamente meno significativo (M_{I-1}) di detta stringa ausiliaria (M) e di un corrispondente bit di detta stringa (K_{I-1});

15 detti mezzi circuitali logici comprendono

una porta OR ricevente in ingresso il bit più significativo di detta prima stringa (K_{N-1}) e la replica negata del bit più significativo di detta stringa ausiliaria (M_{N-1}), generante il bit più significativo di una stringa complemento a due da correggere (Z_{N-1});

20 uno schieramento di porte XOR generanti gli altri bit di detta stringa complemento a due da correggere (Z) come XOR di corrispondenti bit di detta prima stringa (K) e di detta stringa ausiliaria (M);

un circuito logico di uscita ricevente detta stringa complemento a due (Z), detto flag di overflow (OF) e detto segnale di selezione (INV_OUT),
25 generante una stringa di bit di uscita (Y) uguale a detta stringa complemento a due (Z) o ottenuta negando tutti i suoi bit a seconda dello stato logico di detto segnale di selezione (INV_OUT) e di detto flag di overflow (OF).

36. Il circuito della rivendicazione 35 per complementare a due o decrementare con correzione dell'uscita in caso di overflow, in cui detto circuito

logico di uscita comprende

- un circuito logico di correzione (CLIP) generante una replica negata di detto segnale di selezione ($\overline{\text{INV_OUT}}$) ed un segnale di correzione (INVCLIP) come XOR logica tra detto segnale di selezione (INV_OUT) e detto flag di overflow (OF);
- uno schieramento di N porte logiche XOR, una di esse ricevendo in ingresso il bit più significativo (Z_{N-1}) di detta stringa di bit complemento a due (Z) e detta replica negata ($\overline{\text{INV_OUT}}$) generando il bit più significativo della stringa di uscita (Y_{N-1}), e le altre porte XOR riceventi ciascuna un rispettivo altro bit di detta stringa complemento a due (Z) e detto segnale di correzione (INVCLIP) generanti corrispondenti altri bit della stringa di uscita (Y).

37. Circuito multifunzione (DIT) di decremento, incremento o complemento a due di una stringa d'ingresso (X) costituita da un numero N di bit, comprendente

- un circuito logico di selezione (SEL) ricevente in ingresso segnali di comando (ID, TC) identificanti l'operazione da effettuare e generante una coppia di segnali di selezione primo (INV_OUT) e secondo (INV_IN) il cui stato logico dipende dall'operazione da effettuare,
- uno schieramento di N di porte XOR d'ingresso ciascuna ricevente un rispettivo bit di detta stringa d'ingresso (X) e detto primo segnale logico (INV_IN), generante detta prima stringa di bit (K),
- un circuito per complementare a due o decrementare come definito nella rivendicazione 35 ricevente detta prima stringa di bit (K) e generante detta stringa di bit di uscita (Y).

38. Il circuito multifunzione (DIT) della rivendicazione 37, in cui detto circuito di selezione (SEL) riceve in ingresso una coppia di segnali di comando primo (ID) e secondo (TC) e genera

- detto primo segnale logico (INV_OUT) come NOR di detti segnali di comando (ID, TC);

- detto secondo segnale logico (INV_IN) come AND tra detto primo segnale di comando (ID) e una replica negata di detto secondo segnale di comando (TC).

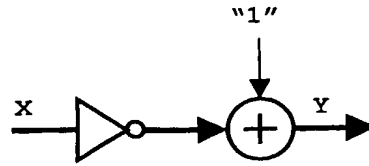


FIG. 1

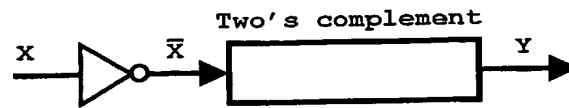


FIG. 2

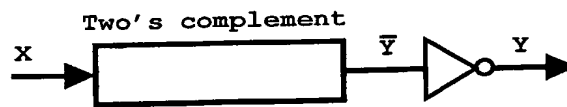


FIG. 3

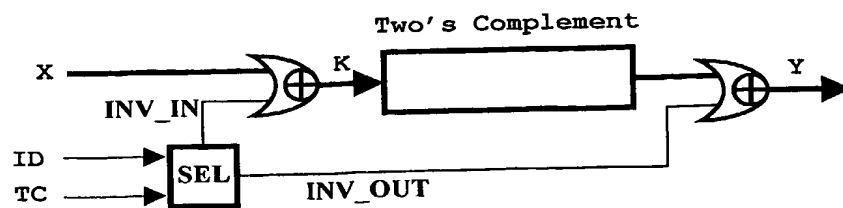


FIG. 4

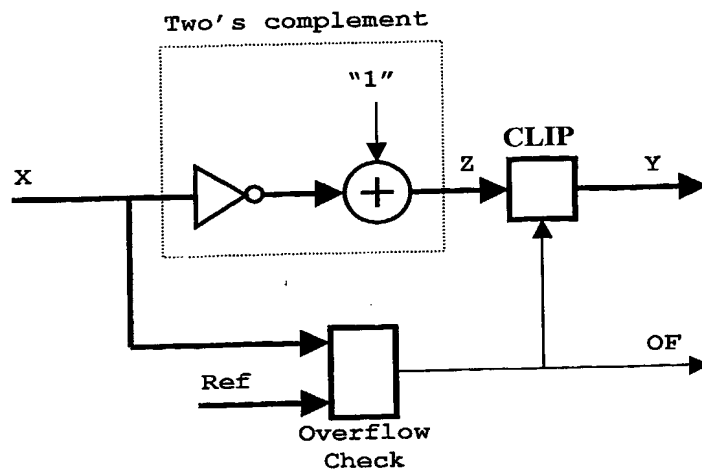


FIG. 5

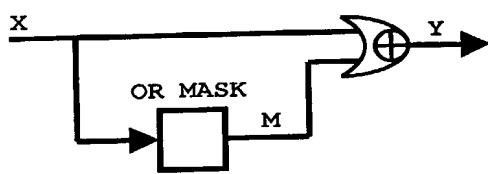


FIG. 6A

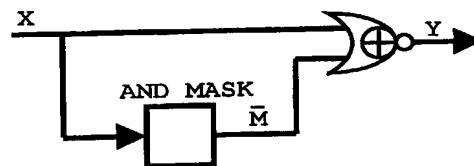


FIG. 6B

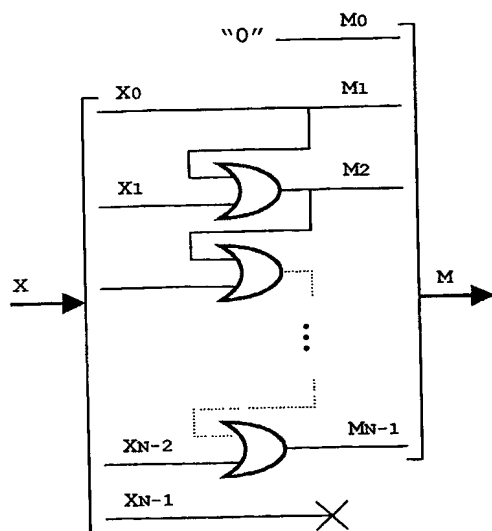


FIG. 7A

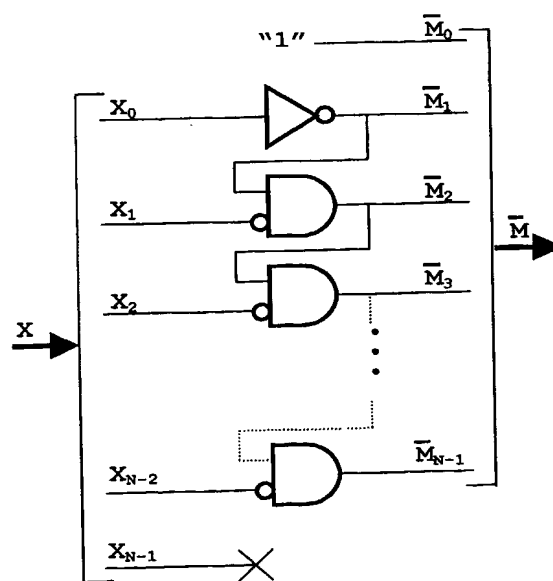


FIG. 7B

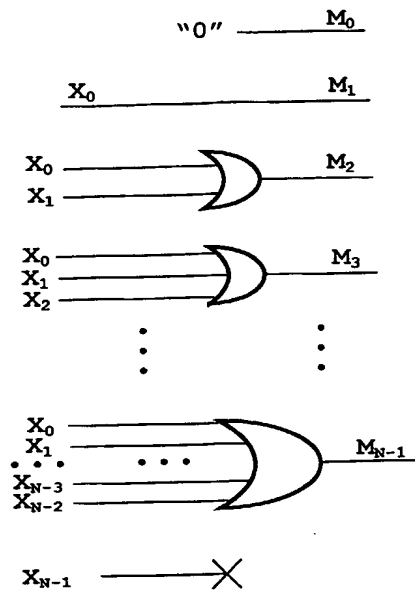


FIG. 8A

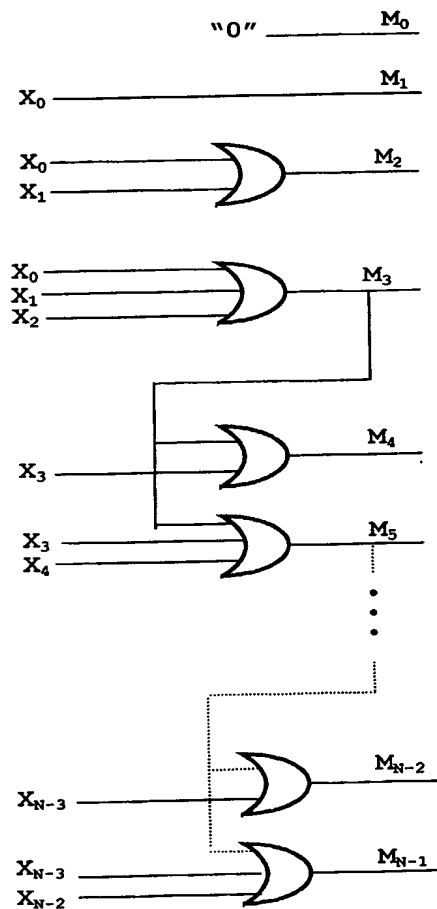


FIG. 8B

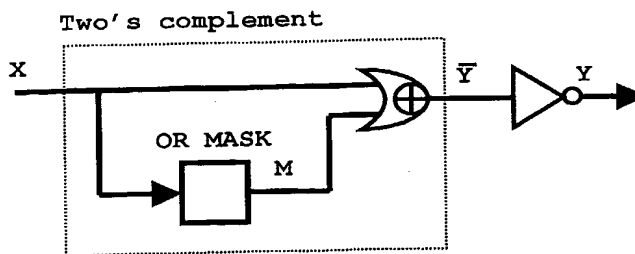


FIG. 9A

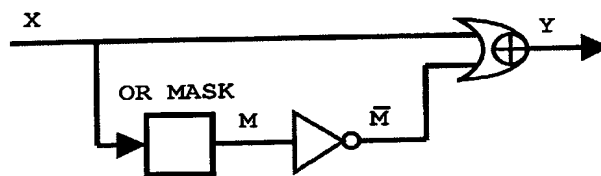


FIG. 9B

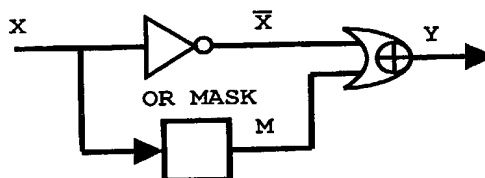


FIG. 9C

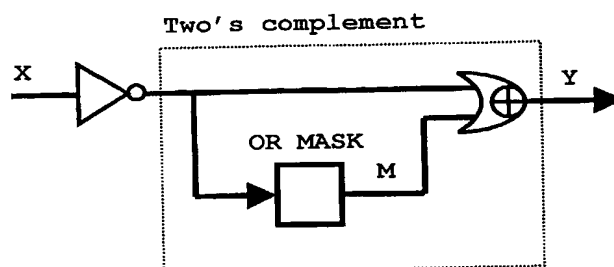


FIG. 10A

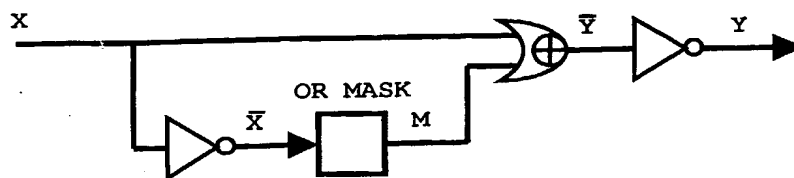


FIG. 10B

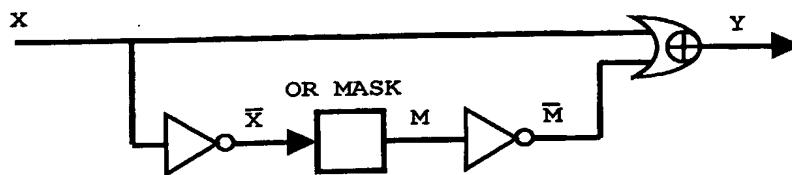


FIG. 10C

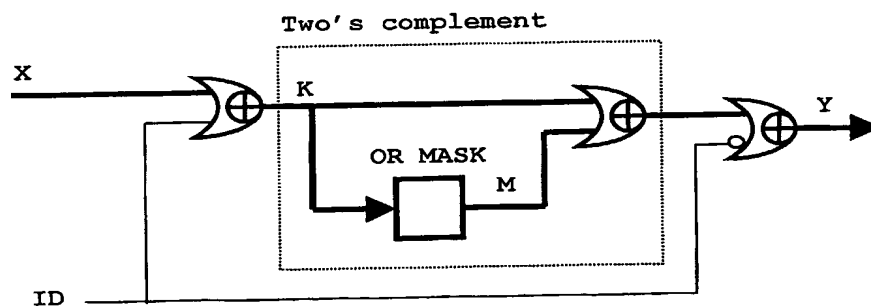


FIG. 11A

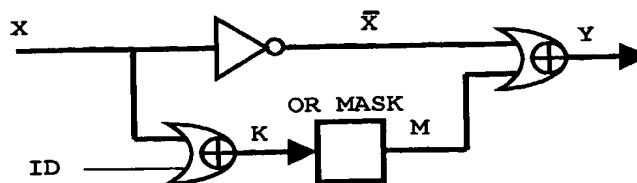


FIG. 11B

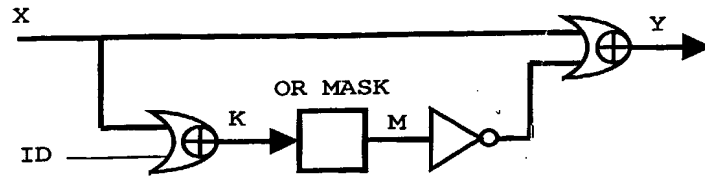


FIG. 11C

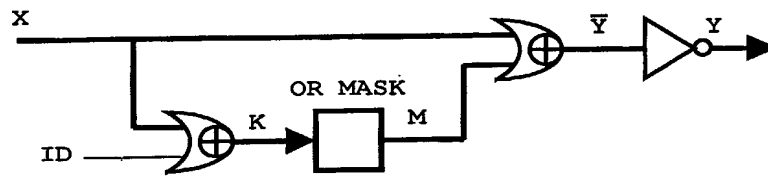


FIG. 11D

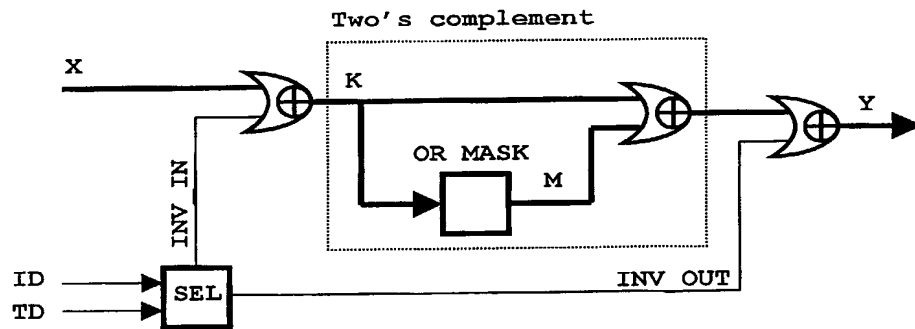


FIG. 12A

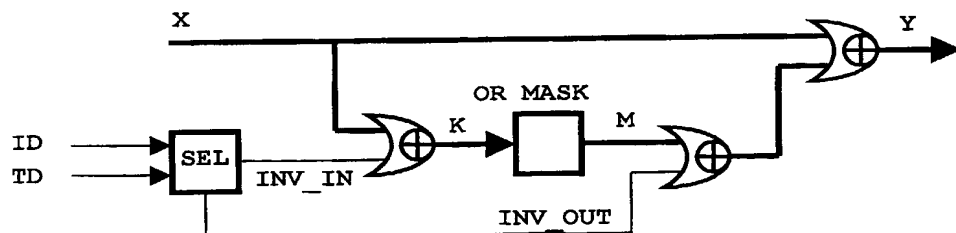


FIG. 12B

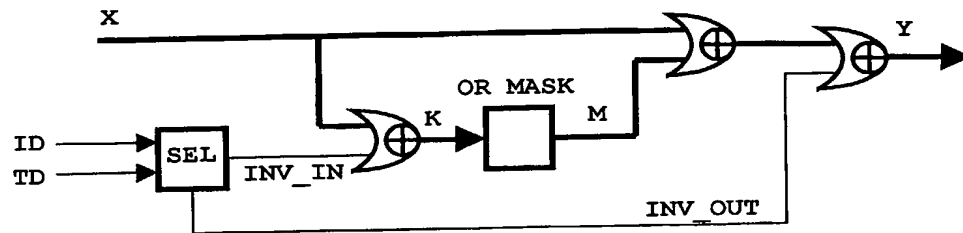


FIG. 12C

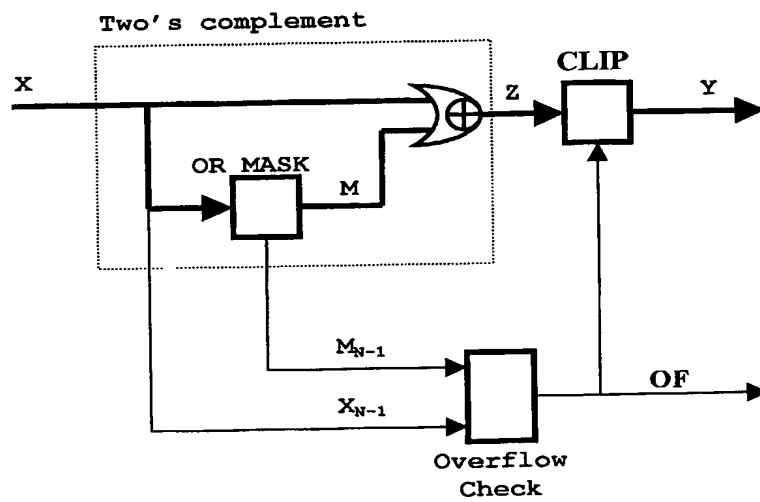


FIG. 13

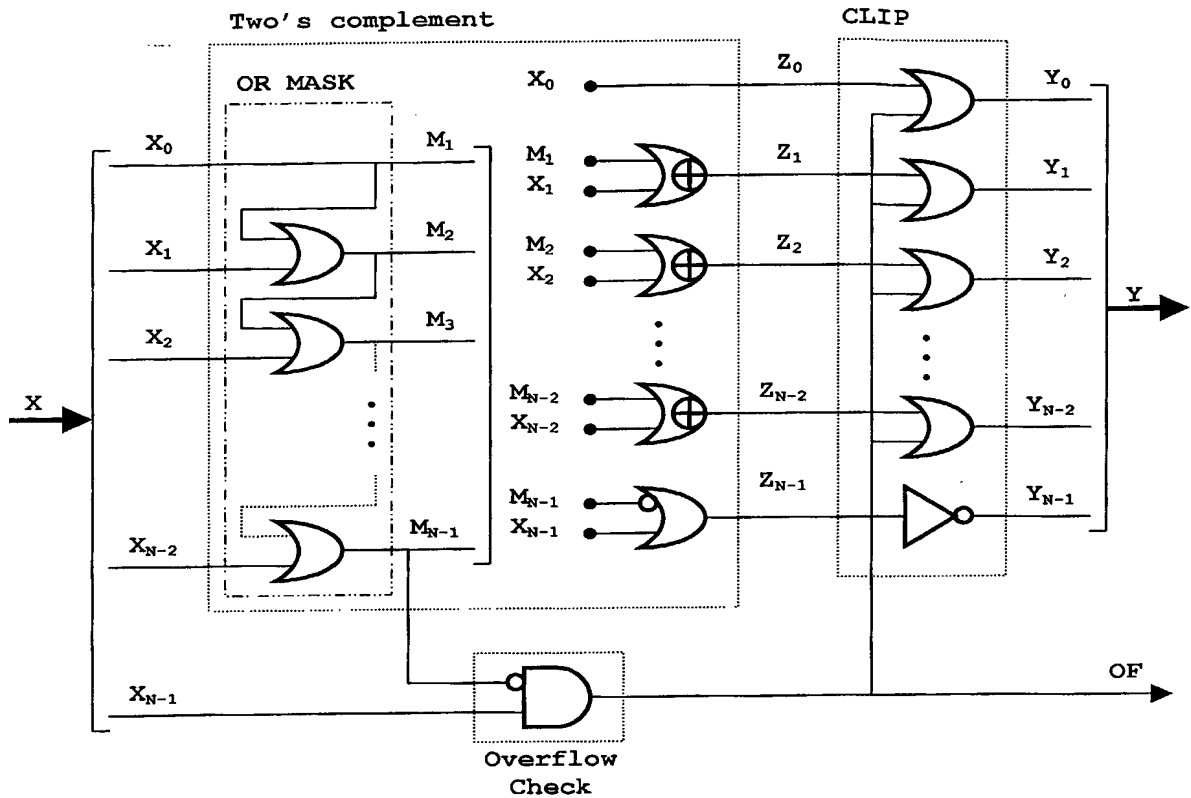


FIG. 14

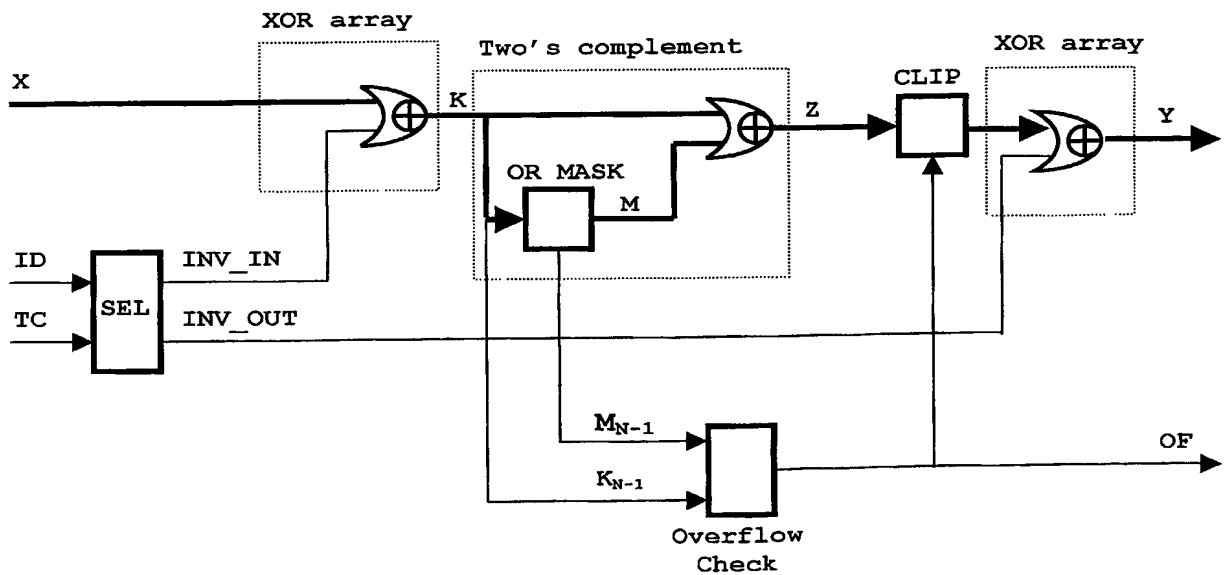
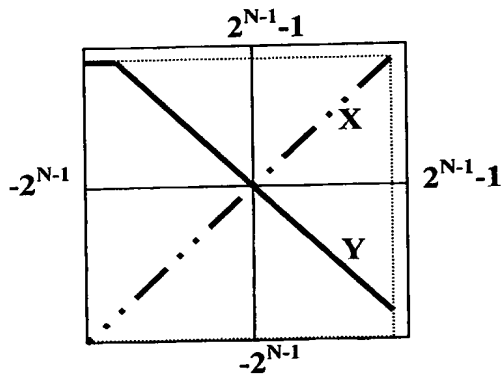
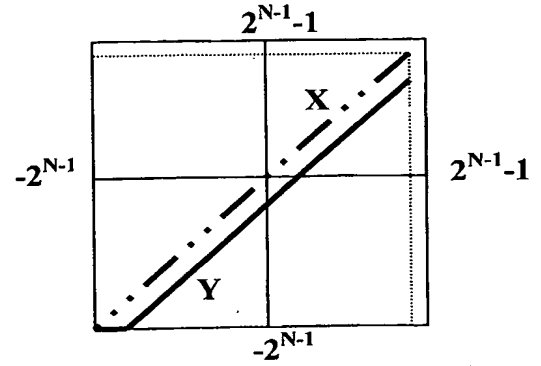
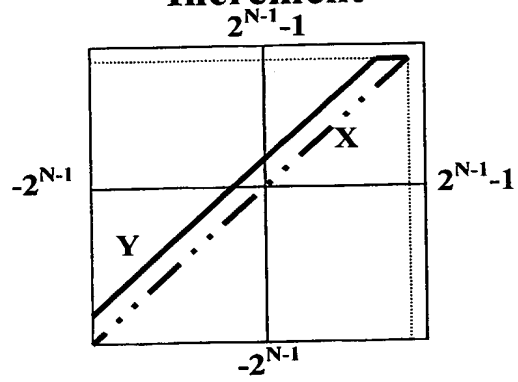


FIG. 15

Two's complement**Decrement****Increment****FIG. 16**

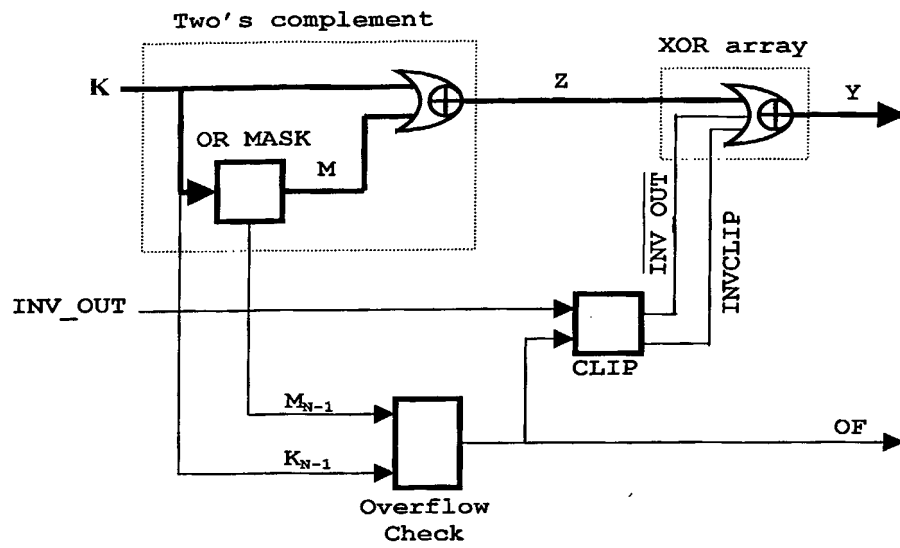


FIG. 17

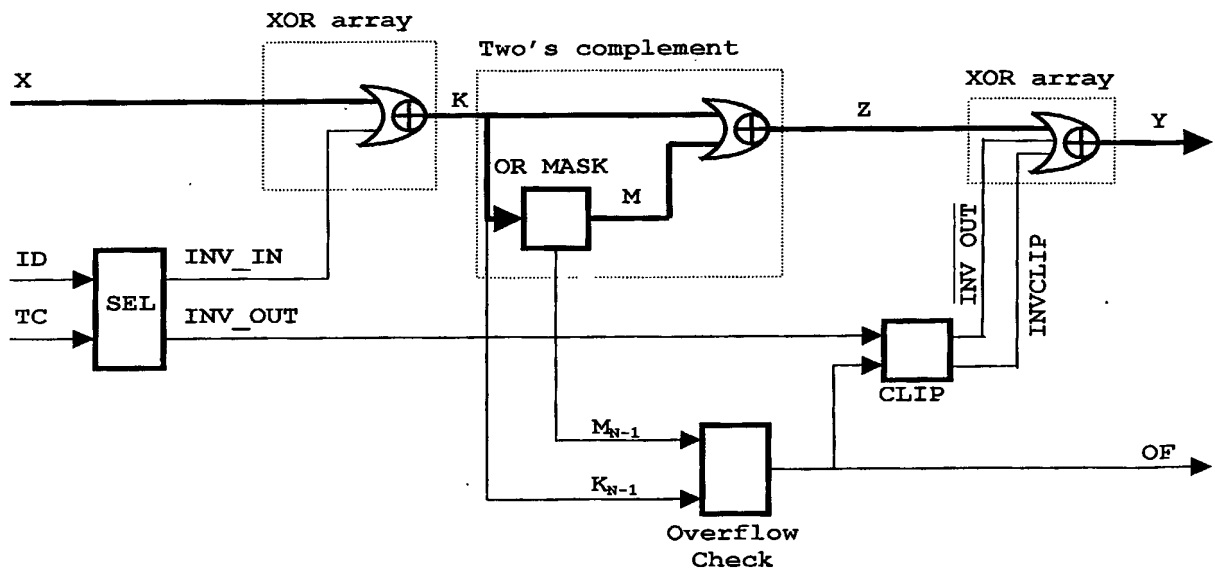


FIG. 18

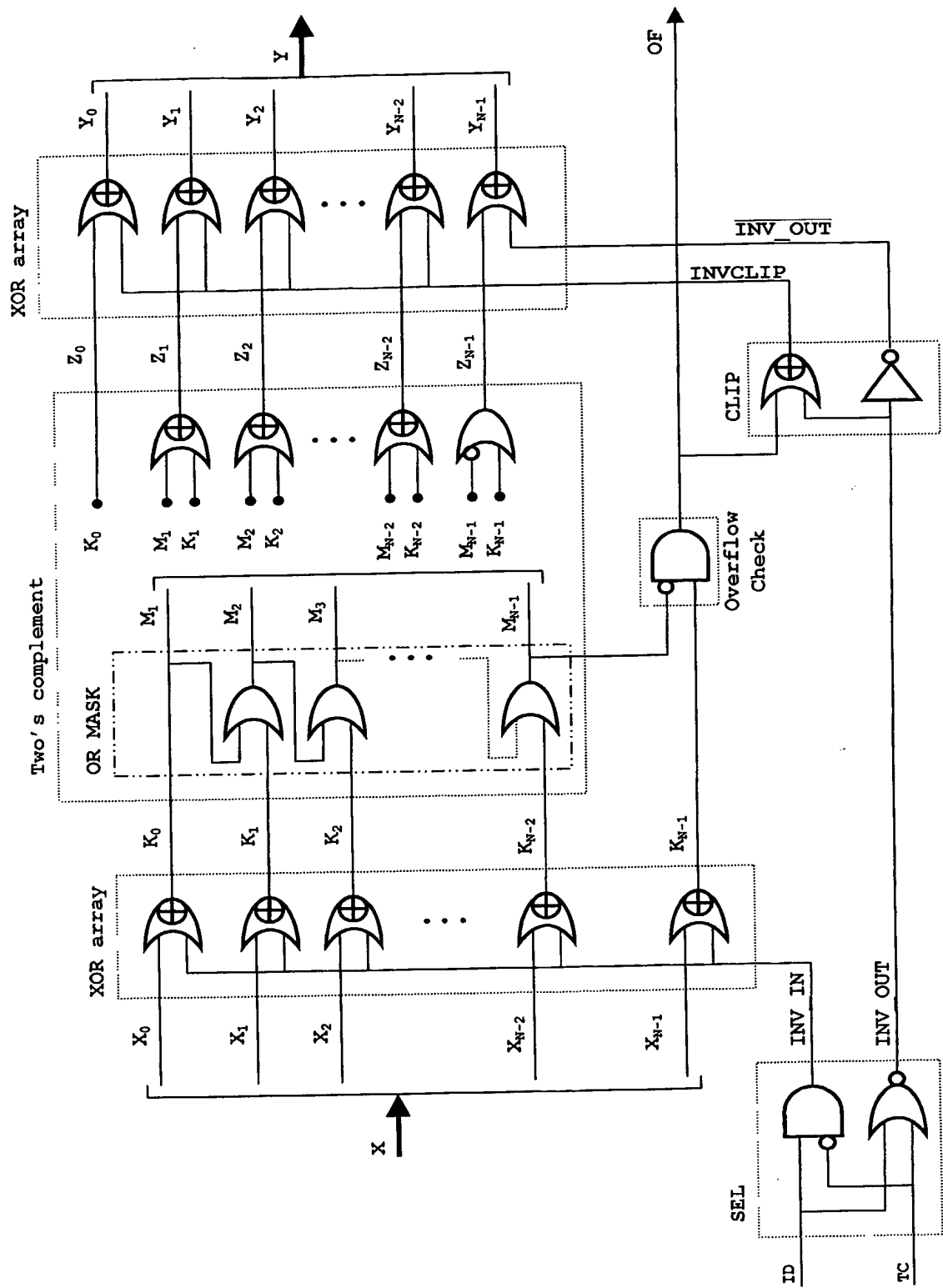


FIG. 19

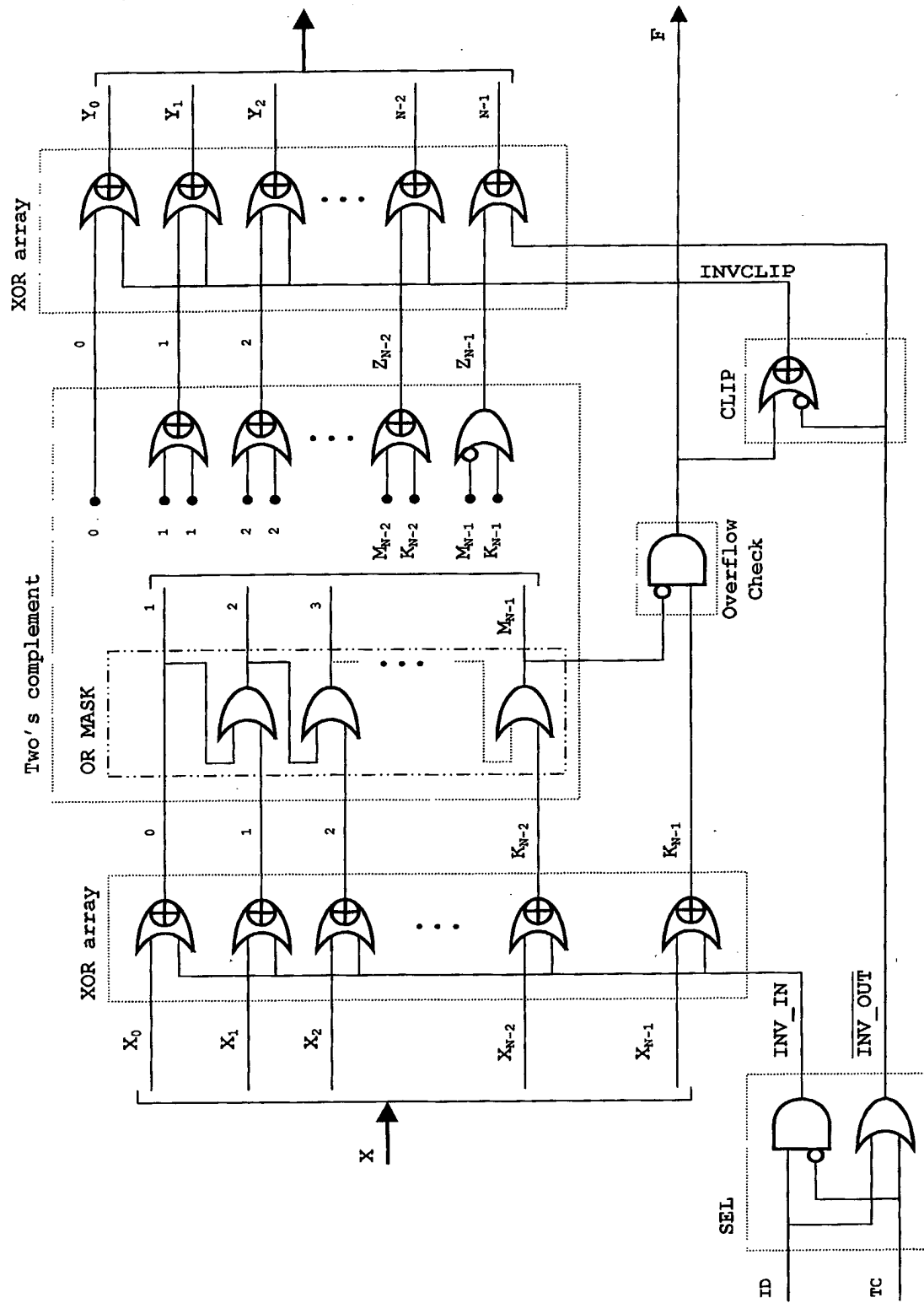


FIG. 20